

Eliminasi Harmonisa dengan Tapis Aktif Paralel Berbasis Teori Daya Sesaat Aktif Reaktif (pq) pada Jaringan Sistem Daya Fasa Tunggal

Setiyono, Eri Prasetyo Wibowo dan Boesono Soerowirdjo

Jurusan Teknik Elektro
Universitas Gunadarma Jakarta Indonesia

E-mail : setiyono@staff.gunadarma.ac.id eri@staff.gunadarma.ac.id busono@staff.gunadarma.ac.id

Abstrak

Paper ini menyajikan cara untuk mereduksi sinyal gangguan sistem jaringan listrik atau jala jala yang disebabkan oleh keberadaan harmonisa pada sistem tenaga fasa tunggal. Salah satu metode yang populer adalah ekstraksi harmonisa menggunakan teori daya sesaat aktif reaktif (pq). Algoritma dari teori ini diimplementasikan dalam menghilangkan komponen harmonisa melalui sebuah rangkaian tapis aktif yang disusun secara paralel dengan beban nonlinier. Arus kompensasi diinjeksikan ke jaringan jala jala yang dihasilkan oleh tapis aktif berguna meningkatkan kualitas daya. Tapis aktif ini dibangun dengan susunan inverter sepasang saklar IGBT ataupun MOSFET dan dipasang sebuah kapasitor pada sisi DC. Hasil pengujian simulasi pada dua buah jenis beban, yakni, resitif induktif dan resitif kapasitif, ditandai dengan bentuk gelombang pada saluran sumber hampir mendekati sinusoidal. Total Harmonic Distortion (THD) yang di peroleh berkurang hingga 2,70%.

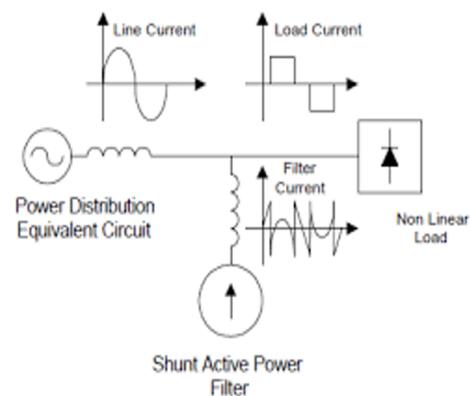
Kata Kunci: Tapis aktif paralel, Harmonisa, daya sesaat pq, Total Harmonic Distortion (THD).

Pendahuluan

Keberadaan harmonisa dalam sistem jaringan listrik atau jala jala listrik sangat mengganggu terhadap kualitas daya yang di berikan kepada beban atau konsumen. Harmonisa ini muncul disebabkan banyaknya penggunaan beban non linier, antara lain peralatan peralatan elektronik yang memuat devais devais semikonduktor. Hal ini disebabkan beban non linier mengkonsumsi arus listrik yang tidak berbentuk sinusoidal karena kinerja saklar saklar solid state tersebut. Dampak buruk dari harmonisa ini antara lain dapat menyebabkan rugi rugi daya, panas lebih pada transformator, noise atau interferensi pada saluran telekomunikasi, gangguan kinerja peralatan listrik maupun elektronik. Untuk mengurangi pengaruh harmonisa ini, pada tahun 1976 Gyugi dan strycula memperkenalkan konsep tapis aktif paralel menggunakan devais transistor sebagai perangkat saklar aktif untuk menginjeksikan arus antiharmonisa ke rangkaian jala jala. Gambar 1 adalah ide sederhana dari sebuah tapis aktif yang di rancang untuk menghilangkan sinyal gangguan harmonisa sehingga dampak buruk dari pengaruh harmonisa dapat dibatalkan [4].

Aktif filter memiliki kemampuan menghilangkan sinyal sinyal harmonik secara dinamis walaupun masih terdapat nilai nilai ripple, namun keberadaan

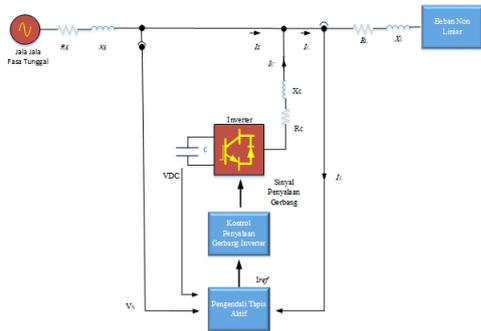
isyarat tersebut masih bisa di tolerir. Dengan kata lain, tapis aktif ini mampu mempertahankan sumber arus maupun tegangan agar tetap berbentuk sinusoidal dengan cara menyuntikan daya reaktif ke jala jala untuk menggagalkan munculnya komponen harmonisa jaringan listrik terutama pada sistem daya listrik fasa tunggal.



Gambar 1: Konsep Tapis Daya Aktif Paralel (4)

Strategi kontrol yang digunakan dalam paper ini adalah berbasis perhitungan ekstraksi daya sesaat aktif reaktif (pq) yang di kemukakan oleh Akagi. Akagi mengatakan bahwa untuk mendapatkan nilai

arus yang diinjeksikan ke jaringan listrik jala jala dilakukan dengan cara ekstraksi dari besaran p (aktif) dan q (reaktif) untuk diambil komponen p dan q diinginkan dan membuang komponen p dan q yang tidak diinginkan. Nilai dari besaran besaran diatas kemudian melalui beberapa proses transformasi abc ke $\alpha - \beta - 0$ ke dan transformasi balik $\alpha - \beta$ ke abc akan didapatkan besaran arus referensi yang akan di injeksikan ke jala jala. Beberapa literatur lain juga di pergunakan dalam pengembangan strategi kontrol ini [2,3,4,5,6,7,8,9,10,11]. Pada Gambar 2 dibawah ini adalah sebuah sistem tapis aktif yang di implementasikan pada jaringan listrik fasa tunggal.



Gambar 2: Sebuah sistem tapis aktif parallel pada jaringan listrik fasa tunggal

Sumber tegangan satu fasa di set pada tegangan 220 V frekuensi 50 Hz, R_S dan X_S merupakan impedansi saluran, R_L dan X_L sebagai impedansi beban dan R_C , X_C sebagai impedansi saluran kompensasi dari inverter. I_S , I_L , I_{ref} dan I_C masing menyatakan arus saluran, arus beban, arus referensi dan arus kompensasi. V_S , V_{DC} dan V_L masing masing merupakan tegangan saluran, tegangan DC kapasitor dan arus beban hasil pengukuran atau perhitungan yang digunakan untuk pemrosesan masukan pengendali tapis aktif. Isyarat keluaran dari tapis aktif (I_{ref}) digunakan untuk membuat sinyal sinyal penyalan gerbang pada unit pengatur (*control*) penyalan sinyal gerbang untuk inverter. Inverter terdiri dari satu pasangan saklar semikonduktor berupa transistor atau IGBT yang bekerja secara berlawanan. Dari kinerja saklar inverter inilah daya reaktif yang di peroleh dari kapasitor di injeksikan ke jala jala berupa arus kompensasi I_C . Desain sistem tapis aktif tersebut kemudian dibangun ke dalam simulasi menggunakan Tools Matlab Simulink. Percobaan simulasi sistem dilakukan dengan berbagai macam beban yakni beban non linier berupa penyearah diode fasa tunggal yang melayani beban resistif, resistif induktif dan resistif kapasitif untuk menguji perfoma dan keandalan dari tapis aktif.

Pengendali Tapis Aktif Paralel

Pengendali tapis aktif paralel ini menggunakan teori dari Akagi yang menyatakan bahwa untuk mendapatkan nilai daya reaktif yang akan diinjeksikan ke jala jala, melalui perhitungan nilai tegangan V_0 , V_α , V_β dan I_0 , I_α , I_β dengan matrix ekstraksi yang disebut dengan persamaan Transformasi Clark, nampak pada persamaan (1) dan (2). [2,3,4,5,6,7,8,9,10,11]

$$\begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \\ 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} i_0 \\ i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \\ 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (2)$$

Teori ini hanya berlaku untuk sistem jaringan tiga fasa, sehingga untuk strategi kendali tapis aktif paralel jaringan listrik satu fasa dibutuhkan 2 buah unit penggeser fasa masing masing berbeda fasa sebesar 120 derajat dengan yang lain. Kemudian digabungkan dengan saluran fasa pertama sehingga seolah olah sistem ini merupakan sistem jaringan listrik tiga fasa [5]. Hubungan nilai tegangan dan arus komponen p dan q pada koordinat pada persamaan 3 adalah

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (3)$$

Untuk kalkulasi arus kompensasi referensi ke dalam koordinat persamaan dibalik dan daya dikompensasi menggunakan persamaan 4 :

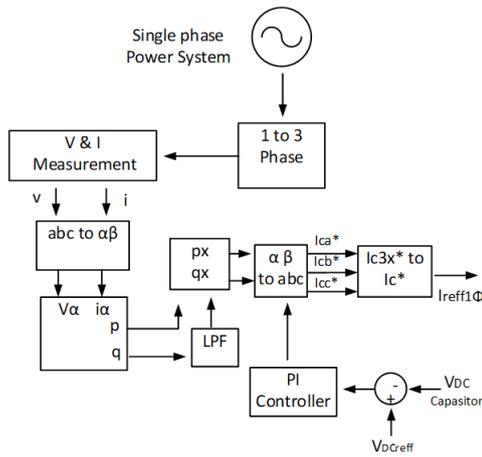
$$\begin{bmatrix} i_{c\alpha^*} \\ i_{c\beta^*} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} p^* \\ q^* \end{bmatrix} \quad (4)$$

Arus referensi di peroleh dengan cara transformasi balik $\alpha - \beta$ ke a b c persamaan 5

$$\begin{bmatrix} i_a^* \\ i_b^* \\ i_c^* \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ -1/2 & \sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix}^{-1} \begin{bmatrix} p^* \\ q^* \end{bmatrix} \quad (5)$$

Pada umumnya daya rata rata sesaat saja yang di butuhkan oleh beban, sedangkan komponen daya daya yang lain di kompensasikan ke jala jala melalui tapis aktif paralel. Untuk menghitung arus referensi yang disuntikan ke jala jala, perlu dipisahkan komponen komponen daya yang diinginkan dan yang tidak diinginkan. Element daya yang tidak

diinginkan di nyatakan dengan p_x dan q_x . Selain komponen daya sesaat yang ditentukan oleh Teori p-q, ada juga komponen, p_{reg} , yang digunakan untuk mengatur tegangan kapasitor di sisi dc dengan pengatur Proportional integral (PI). Nam-pak pada gambar 3 adalah proses ekstraksi kompo-nen daya p dan q yang diinginkan dan yang tidak diinginkan untuk mendapatkan arus referensi fasa tunggal ($I_{creff1\phi}$).



Gambar 3: Blok Strategi kontrol pembangkitan arus referensi

Tapis Aktif Paralel Rangkaian

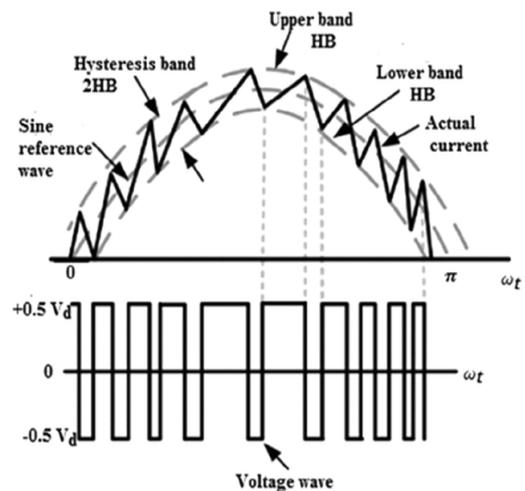
Tapis paralel ini dibangun menggunakan sepasang saklar IGBT yang dilengkapi diode anti parallel. Pada sisi DC inverter menggunakan sebuah kapasitor sebesar 35 uF. Keluaran inverter dipasang sebuah induktor sebesar 45 mh guna meredam ripple yang di timbulkan oleh saklar saklar inverter saat bekerja menginjeksikan arus kompensasi ke jala jala.

Pembangkit Sinyal Penyalaan Gerbang

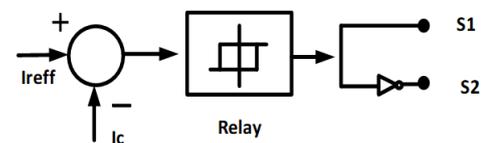
Bagian penting pada tapis daya aktif ini adalah membangun sinyal penyalaan gerbang saklar in-verter. Gambar 4 adalah proses pembangkitan pola pola sinyal penyalaan untuk gerbang saklar in-verter melalui modulasi sinyal PWM. Sinyal terse-but diperoleh dari sebuah komparator yang mem-bandingkan sinyal sinusoidapembawa dengan arus referensi. Sinyal penyalaan dibangun dengan pen-gaturan histerisis arus referensi pada komparator untuk menghasilkan pola pola pensaklaran inverter.

Pada bagian ini arus referensi dipaksa untuk be-rada pada jalur sinusoida dari sinyal pembawa. Se-hingga inverter ini seolah olah menjadi sumber arus yang membuat arus sumber jala jala menjadi sinu-soidal. Pola pola sinyal gerbang di lakukan oleh

komparator yang membandingkan sinyal pembawa dengan sinyal kesalahan i_{ref} dan i_{act} Melalui kaidah PWM dapat dijelaskan sebagai berikut Jika (i_{act}) > ($i_{ref} + hb$) sakelar bagian atas AKTIF dan sakelar bawah adalah MATI jika (i_{act}) < ($i_{ref} + hb$) sakelar bagian atas MATI dan sakelar bawah AKTIF. Pada gambar 5, arus referensi yang telah didapatkan ke-mudian dibandingkan dengan arus kompensasi dari inverter untuk dihitung selisih error. Nilai ini ke-mudian di modulusikan dengan sinyal PWM untuk didapatkan isyarat isyarat yang digunakan mengak-tifkan saklar saklar inverter. Karena hanya ter-dapat sepasang saklar maka hanya diperlukan dua buah sinyal penyalaan gerbang saklar S1 dan saklar S2 yang bekerja secara komplementer atau bertolak belakang. Dengan menambahkan untai pem-balik pada keluaran PWM, maka akan diperoleh dua buah isyarat penyalaan yang saling berlawanan logika.



Gambar 4: Pengendali Arus Ref Histerisis Band (3)



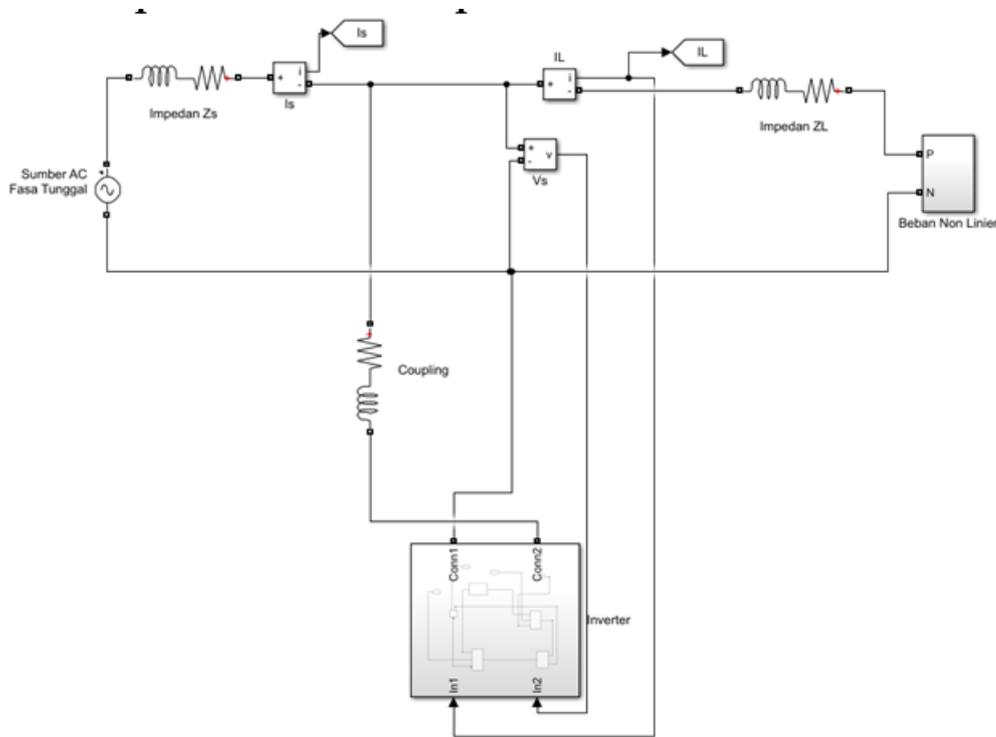
Gambar 5: Pembangkitan sinyal gerbang untuk masing masing saklar (3)

Desain Simulasi

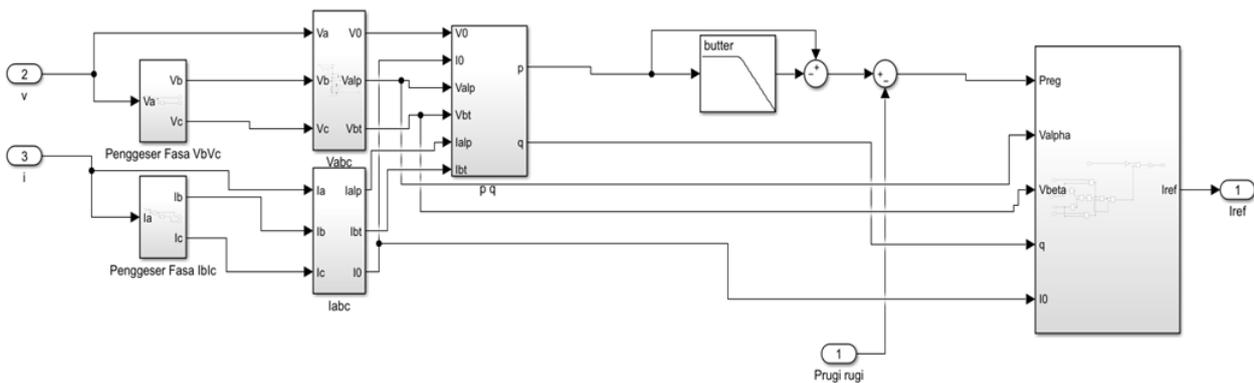
Pada gambar 1. adalah suatu power sistem seder-hana sistem fasa tunggal dengan beban non linier berupa penyearah dioda . Kemudian power sistem ini dimodelkan kedalam MATLAB Simulink untuk melihat format gelombang arus saluran I_s , format gelombang arus beban I_L dan format gelombang

arus IC pada kawat fasa dan saluran injeksi dari inverter. Desain tersebut nampak pada gambar 6. Tegangan sumber mempunyai amplitudo 220 V Kawat – Netral, frekuensi 50 Hz dengan impedansi saluran (Z_S) dengan $R_s = 0,5 \text{ ohm}$ $L_s =$ dan 350 mH, impedansi beban (Z_L) dengan $R_L = 20 \text{ ohm}$ $L_L = 500 \text{ mH}$, Impedansi coupling inverter (Z_c) dengan

$RC = 1 \text{ ohm}$ $LC = 35 \text{ 35 mH}$. Pada sisi beban berupa penyearah dioda yang dibebani impedansi Resitif induktif (RL) dan Resitif Kapasitif (RC) sebesar $R = 50 \text{ ohm}$, $L = 500 \text{ H}$ dan $C = 15 \text{ uF}$. Beban RL dan RC pada sisi penyearah dioda ini diuji secara bergantian untuk melihat performa dari tapis aktif



Gambar 6: Desain Simulasi tapis aktif daya fasa tunggal dalam Matlab Simulink



Gambar 7: Desain Pembangkit sinyal arus referensi

Pada gambar 7, pembangkitan sinyal referensi melalui beberapa tahap yakni yang pertama membangun sumber tegangan dan arus secara virtual sebagai masukan tegangan dan arus pada persamaan 1 (transformasi clark). Setelah komponen V_0 , V_a , V_b dan I_0 , I_a , I_b didapatkan kemudian ditransformasikan kedalam koordinat $\alpha - \beta$ untuk mrn-

dapatkan komponen p dan q. Nilai nilai p dan q mengandung komponen komponen yang tidak dikehendaki, dihilangkan melalui filter buterwooth atau Lowpass filter. Komponen p yang dikehendaki ini masih dibandingkan dengan element rugi rugi daya yang di peroleh dari perhitungan daya reaktif pada kapasitor sisi DC inverter, yang dinyatakan

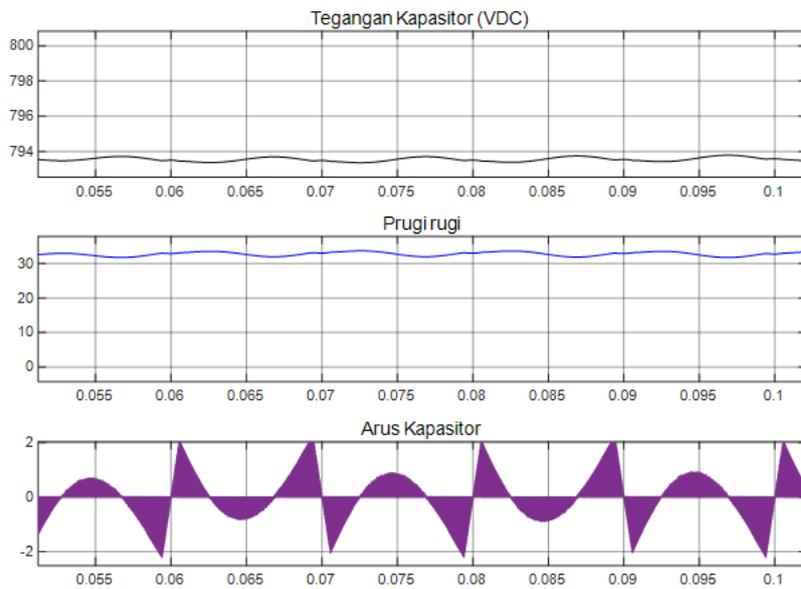
dengan P_{reg} . Dimana $P_{reg} = p$ yang dikehendaki – Prugi rugi. Sedangkan Prugi rugi dapat di hitung dari tegangan kapasitor VDC yang dibandingkan dengan tegangan referensi V_{ref} melalui pengatur proportional Integral (PI) .

$$P_{reg} = K_p (V_{ref} - V_{DC}) \quad (6)$$

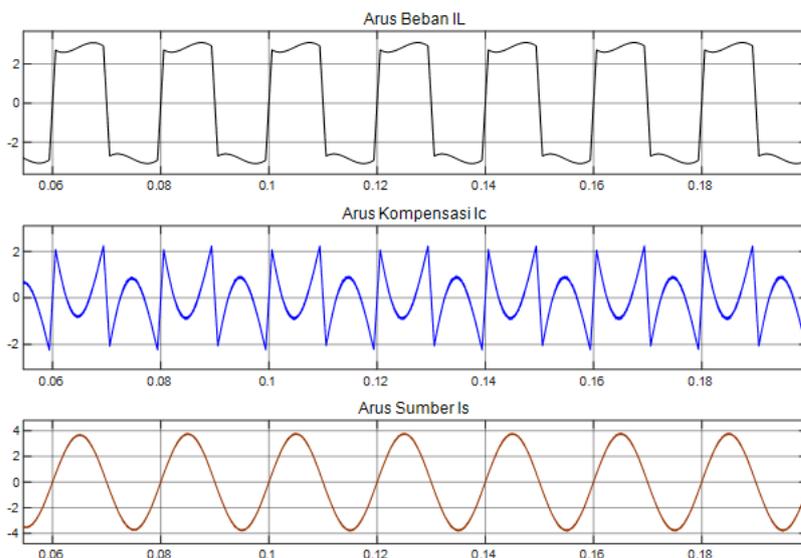
Hasil Simulasi

Pengujian hasil simulasi dengan melihat bentuk gelombang tegangan sumber, arus sumber, arus

beban, arus kompensasi, tegangan kapasitor, dan Index Total Harmonic Distortion pada saat disain sistem di bebani Resitif Induktif RL dan Resitif Kapasitif RC. Simulasi Pada Beban RL Pada gambar 8. nampak terlihat tegangan kapasitor berada di level 800 V kemudian turun dan stasioner pada tegangan 795 V saat $t = 0.05$ s , di waktu ini pula Prugi rugi akan mulai jenuh pada pada daya 30 Watt. Arus kapasitor berisolasi dan nampak seperti pulsa sempit gergaji. Hal ini berhubungan erat dengan waktu pengisian dan pembuangan muatan kapasitor yang di kendalikan oleh kinerja saklar inverter. Arus inilah yang digunakan untuk memaksa arus sumber agar tetap berbentuk sinusoida.



Gambar 8: Tegangan kapasitor, Prugirugi dan arus kapasitor pada beban RL



Gambar 9: Bentuk gelombang arus sumber IS , Arus beban IL dan arus kompensasi IC pada beban RL.

Pada Gambar 9. Gelombang arus beban IL (a) yang non sinusoidal menyerupai gelombang persegi adalah arus yang ditarik oleh beban penyearah dioda. Gambar (b) gelombang arus kompensasi Ic, adalah arus yang diinjeksikan ke jala jala untuk menghilangkan cacat gelombang pada arus sumber, atau dengan kata lain arus kompensasi ini di butuhkan agar arus sumber tetap dalam bentuk sinusoida walaupun beban menarik arus dengan format non sinusoida.

$$I_s = I_L + I_c \tag{7}$$

Pada Gambar 9.c nampak terlihat arus sumber Is yang hampir sinusoida, namun masih terdapat sedikit ripple tetapi keberadaan ripple ini masih bisa di tolerir.

Gambar 10 menampilkan index Total Harmonic Distortion (THD) dari sistem yang dibangun, nampak bahwa sebelum sistem tenaga tersebut di tapis, arus sumber berbentuk mirip gelombang persegi dengan memiliki THD yang cukup tinggi sebesar 37,9%. Jenis harmonisa yang mengganggu berada pada frekuensi kelipatan ganjil (150 Hz, 250Hz, 750 Hz dan seterusnya) atau orde ganjil yakni 3, 5 , 7 dan seterusnya. Ditandai dengan amplitude pada orde harmonic ke 3,5,7 9 11 yang cukup tinggi pada grafik hasil simulasi.

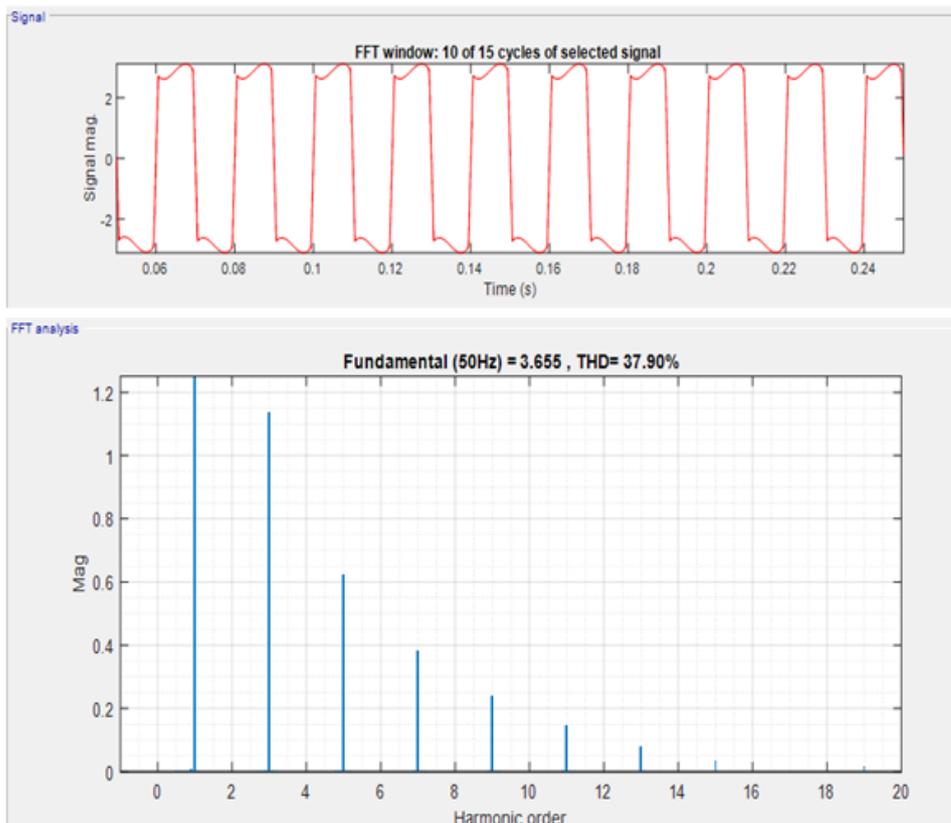
Gambar 11 menunjukkan indeks Total Harmonic Distortion (THD) dari sistem yang telah di beri

tapis aktif untuk menggagalkan gangguan harmonisa sehingga kandungan THD dapat diturunkan secara cukup signifikan, yaitu sekitar 4,34 % dengan arus sumber yang sudah mendekati sinusoida.

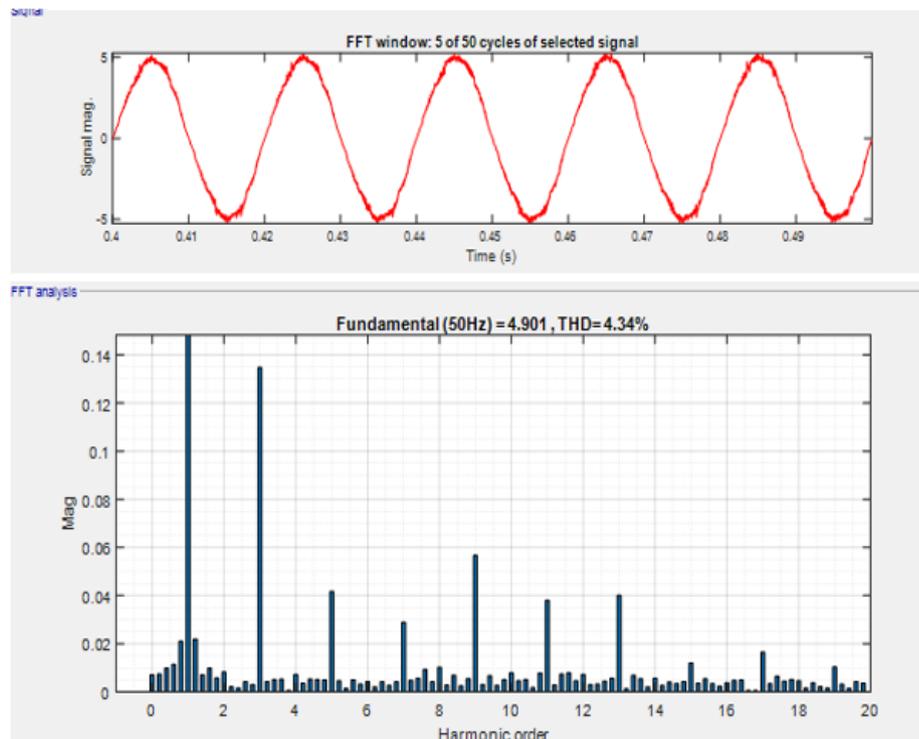
Hasil Simulasi Pada Beban RC

Gambar 12 memperlihatkan arus beban IL (a), arus kompensasi IC (b) dan arus sumber IS (a) pada saat system di bebani beban Resistif Kapasitif (RC). Beban berupa penyearah diode yang di sambung parallel dengan R = 50 ohm dan kapasitor 35 uF. Pada gambar 12 Nampak bahwa arus beban meskipun mendekati sinus namun masih terdistrosi atau cacat. Ketika di injeksi dengan arus kompensasi maka arus sumber sudah sinusoida.

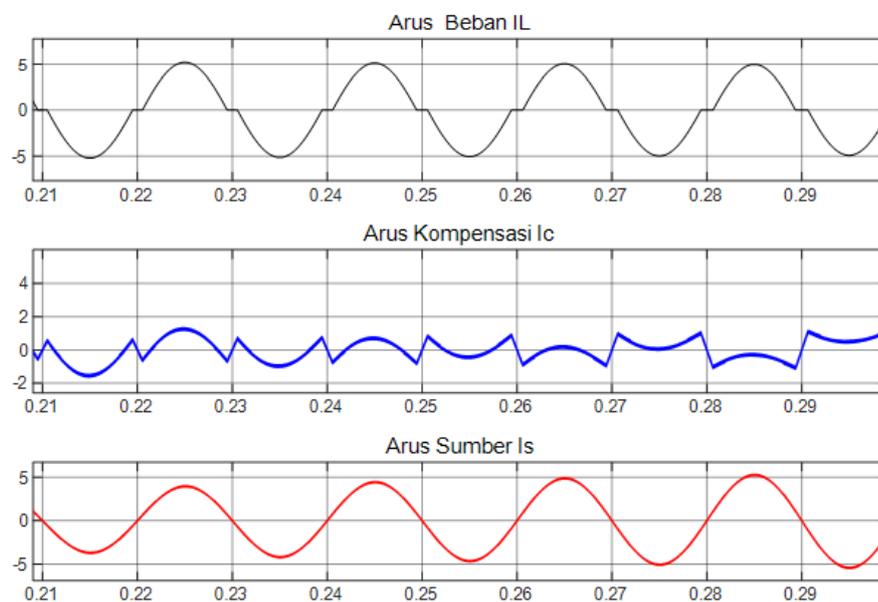
Gambar 13 memperlihatkan tegangan kapasitor, rugi rugi daya dan arus kapasitor pada saat awal simulasi, tegangan kapasitor naik hingga stasioner pada saat waktu 0,2s sedangkan rugi rugi daya turun dari dari tegangan 820 V dan jenuh pada 720 V. Arus kapasitor berisolasi naik turun dengan amplitude maksimum 5 A dan minimum -5A berupa gelombang yang berubah ubah Nampak seperti gelombang sinusoida terdistorsi dan berubah menjadi gelombang pulsa sempit , hal ini terjadi karena pengisian dan pembuangan muatan kapasitor yang disebabkan oleh kerja saklar inverter dalam menginjeksikan arus kompensasi ke saluran jala jala fasa tunggal.



Gambar 10: Arus beban dan index THD sebelum diinjeksi



Gambar 11: Arus sumber dan index THD sesudah diinjeksi pada beban RL

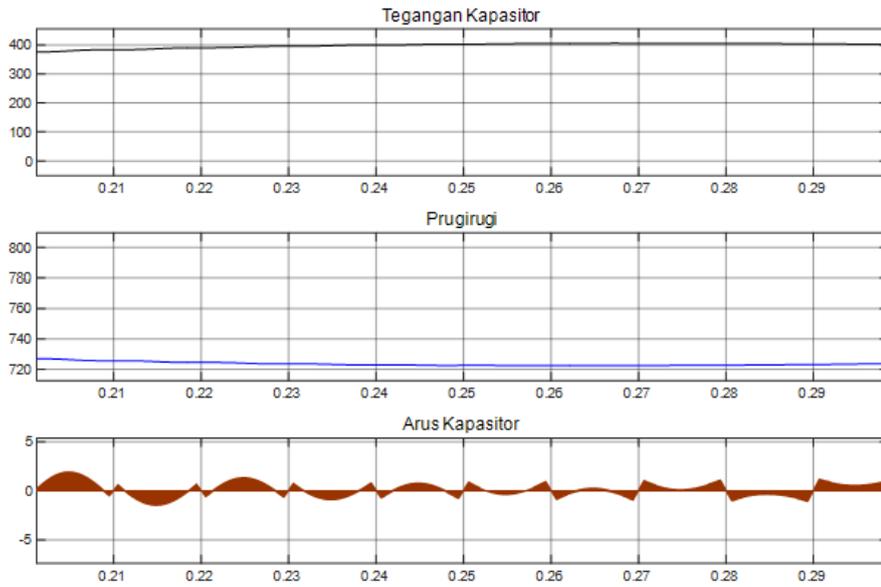


Gambar 12: Arus beban, arus kompensasi dan arus sumber pada beban RC

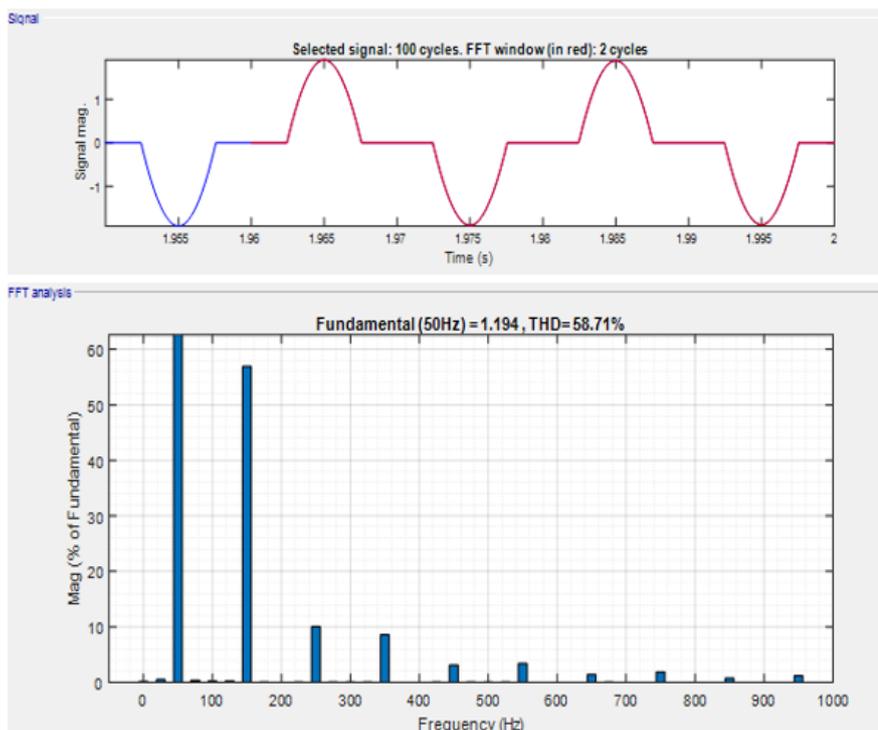
Pada Gambar 14 Nampak arus sumber terdistorsi dengan index THD sebesar 58,71%. Komponen harmonisa yang mengganggu berada pada orde ketiga yakni orde 3, 5, 7, dan seterusnya atau sinyal harmonisa dengan frekuensi kelipatan ganjil (150 Hz, 250 Hz, 450 Hz dan seterusnya) dari frekuensi

sumber yaitu 50 Hz. Harmonisa ke tiga yang sangat mendominasi cacat gelombang arus sumber.

Gambar 15 adalah gelombang arus sumber dan index THD sesudah diinjeksi, memperlihatkan bahwa arus sumber yang sudah mendekati sinusoida dan index THD turun dari 58,71% menjadi 2,70%.



Gambar 13: Tegangan kapasitor, Prugirugi dan arus kapasitor pada beban RCi

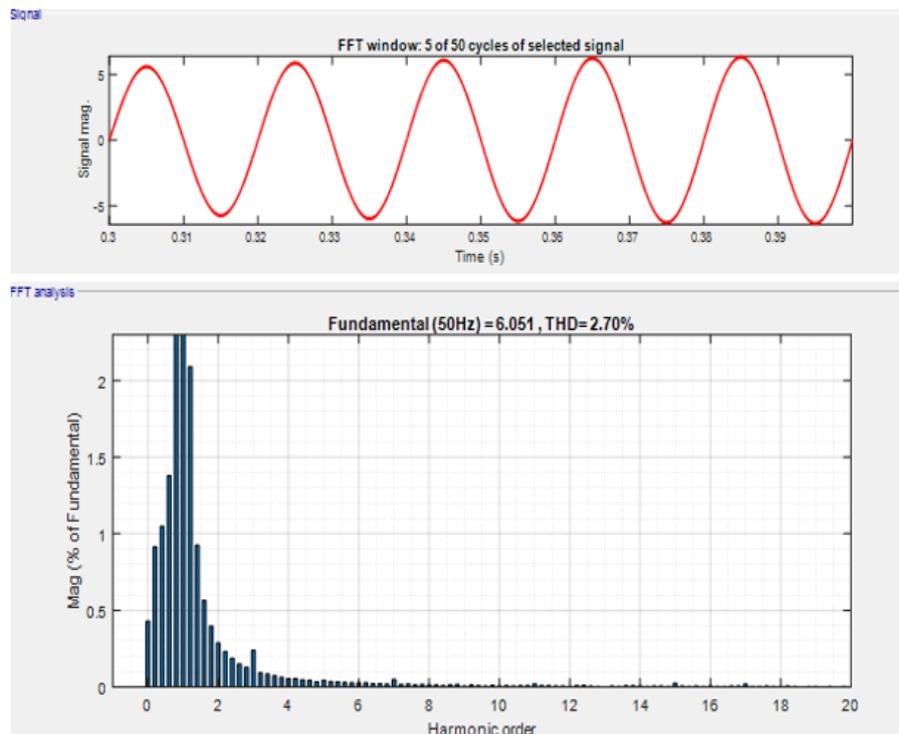


Gambar 14: Arus beban dan index THH sebelum diinjeksi pada beban RC

Penutup

Sinyal sinyal gangguan harmonisa akibat penggunaan beban non linier yang berada pada sistem tenaga fasa tunggal membuat arus sumber terdistorsi. Arus gangguan ini dapat diredam dengan menggunakan tapis aktif yang disusun paralel dengan beban. Arus arus gangguan harmon-

isa terdapat pada gelombang harmonisa orde ganjil yaitu orde ke 3,5,7,9 dan seterusnya. Pola pola arus injeksi atau arus kompensasi diperoleh dari pengisian dan pembuangan muatan kapasitor yang kinerjanya di tentukan oleh inverter sebagai pengatur penyambungan dan pembukaan saklar yang bertujuan untuk memaksa agar arus sumber tetap terjaga berbentuk sinusoida.



Gambar 15: Arus sumber dan index THD sesudah diinjeksi pada beban RC

Percobaan dilakukan dengan menguji sistem tenaga dengan beban non linier berupa penyearah diode yang dipasang paralel dengan beban RL dan RC secara bergantian. Hasil simulasi menunjukkan Total Harmonic Distortion dapat berkurang hingga 4,3% untuk beban RL dan 2,70% untuk beban RC. Hal ini menunjukkan performa dari desain tapis aktif, cukup handal terhadap perubahan beban yang ditunjukkan mampu meredam atau mengurangi kandungan harmonisa pada nilai yang layak untuk sebuah power system. Dengan Nilai Kandungan harmonisa yang kecil ini masih dapat ditolerir dalam suatu sistem tenaga. Untuk penelitian lanjutan, pemodelan simulasi ini dapat di kembangkan pada sistem tenaga tiga fasa dengan beban non linier dengan sumber tegangan tidak ideal.

Daftar Pustaka

- [1] L. Gyugi and E. C. Strycula, "Active AC Power Filters", IEEE-IAS Annual Meeting Record, 1976.
- [2] H. Akagi, Y. Kanazawa and A. Nabae, "Generalized Theory of the Instantaneous Reactive Power in Three-Phase Circuits", IPEC'83 - Int. Power Electronics Conf., Tokyo, Japan, 1983.
- [3] B. Venkata siva, B Mahesh babu and L Ravi Srinivas, "Design of shunt active filter for improvement of power quality with artificial intelligence techniques", International Journal

of Advancerd Reasearch in Electrical Electronic and Instrument Engineering , Vol 3 Issue 8 August 2014.

- [4] Khalid Jamal Shahid Khan and Sreeharsha Chunduri, "Mitigation Of Current Harmonic Using Shunt Active Power Filter", International Journal of Advances in Engineering & Technology, Aug., 2015. ©IJAET ISSN: 22311963
- [5] J. G. Pinto, Pedro Neves, Ricardo Pregitzer, Luís F. C. Monteiro and Joao L. Afonso, "Single-Phase Shunt Active Filter with Digital Control", Renewable Energy & Power Quality Journal (RE&PQJ), ISSN: 2172-038X, Vol. 1, No.5, March 2007.
- [6] Rakan Kh. Antar, Basil M. Saied, Rafid A. Khalil, Ghanim A. Putrus," HVDC Link Power Quality Improvement using A Modified Active Power Filter", 47th International Universities Power Engineering Conference (UPEC), London, 2012.
- [7] Musa Yusup Lada, Othman Mohindo, Aziah Khamis, Jurifa Mat Lazi and Irma Wani Jamaludin, Simulation Single Phase Shunt Active Filter Based on p-q technique using MATLAB/Simulink Development Tools Environment", IEEE Applied Power Electronics Colloquium (IAPEC), 2011.
- [8] Alejandro Orozco Montes and Gustavo Ramos, "Instantaneous p-q Theory for harmonic com-

- pensation via shunt active power filter”, Workshop on Power Electronics and Power Quality Applications (PEPQA), 978-1-4799-1007-6/13/\$31.00 ©2013 IEEE , 2013.
- [9] Nor Farahaida Abdul Rahman, Mustafar Kamal Hamzah, Siti Zaliha Mohammad Noor and Ahmad Shukri Abu Hasim, “Single-Phase Hybrid Active Power Filter Using Single Switch Parallel Active Filter and Simple Passive Filter”, International Conference on Power Electronics and Drive Systems (PEDS), Taiwan, 2009.
- [10] Phelipe L. S. Rodrigues, Cursino B. Jacobina, Fellow, Maurício B. R. Correa and Italo Roger F. M. P. da Silva, “Single-Phase Universal Active Power Filter Based on Four-Leg AC/DC/AC Converters”, PROCEEDINGS © IEEE ENERGY CONVERSION CONGRESS & EXPOSITION, Cincianti Ohio, 2017.
- [11] Ke Wang, Feng Zhou, Jianye Chen,” A Novel Control Strategy of Parallel Hybrid Active Power Filter” 978-1-4244-8756-1/11/\$26.00_c 2011 IEEE 2157, 6th IEEE Conference on Industrial Electronics and Applications, Beijing China, 2011.