

# Desain Unit Analog 4 Bit ADC Single Slope dengan Teknologi AMS 0,35 $\mu$ Proses

Yulisdin Mukhlis, Any K. Yapie dan Missa Lamsani

FTI dan FIKTI Universitas Gunadarma  
Jl. Margonda Raya 100 Depok 16424

ymukhlis@staff.gunadarma.ac.id,yapie@staff.gunadarma.ac.id,missa@staff.gunadarma.ac.id

## Abstrak

Unit analog adalah komponen utama pada desain peubah Analog ke Digital (ADC) tipe Single Slope. Unit analog didesain secara presisi disesuaikan dengan karakteristik ADC. Desain ADC memiliki resolusi 4 bit dan frekuensi clock sebesar 1 MHz. Penguatan open loop OpAmp adalah 66,42 dB. Titik set point komparator berada pada level 1,65 V. Nilai RC pada rangkaian integrator = 16 $\mu$ . Tegangan referensi yang digunakan adalah 2 volt, sehingga nilai LSB yang didapat sebesar 0,125V. Sample and hold didesain sebesar 1  $\mu$ s dengan lebar pulsa 31,25 ns, sehingga dalam satu kali cacahan akan terdapat pulsa 16 x 62,5 ns clock. Metode penelitian yang dilakukan dengan simulasi menggunakan mentor graphic teknologi AMS 0,35 $\mu$ . Hasilnya adalah sebuah desain unit analog ADC-Single Slope dengan kecepatan 1 us dan tegangan referensi maksimal 2 Volt yang mampu mensampling amplitudo hingga 0,02 Volt.

**Kata Kunci** : Ramp, ADC, Op amp, Sampling, Integrator

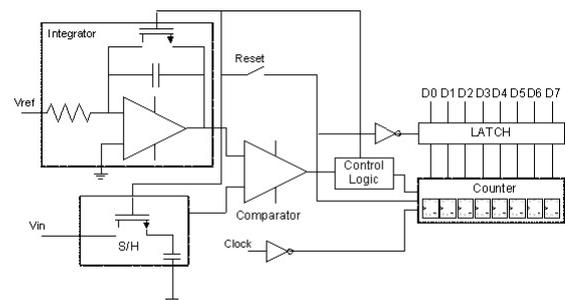
## Pendahuluan

ADC Single Slope adalah sebuah peubah sinyal analog ke digital yang menggunakan metode slope integrator sebagai komponen utama kuantisasi. Kelebihan ADC Single Slope adalah memiliki resolusi yang cukup tinggi dikelasnya, sedangkan kelemahannya ADC stabil pada frekuensi rendah. ADC dapat ditingkatkan kinerjanya untuk frekuensi tinggi, dengan cara memodifikasi rangkaian R dan C pada unit Integrator. Akibatnya, layout akan semakin besar ukurannya, sehingga untuk System on Chip (SoC), hasil ini tidak optimal. Solusi dari peningkatan unjuk kerja ini adalah desain R dan C pada integrator diberikan diluar SoC. ADC Single Slope sangat tepat apabila diaplikasikan pada unit analog dengan jangkauan frekuensi dibawah 1 MHz, misal pada EKG, EEG atau USG.

## Arsitektur ADC Single Slope

Komponen utama ADC Single Slope adalah rangkaian Integrator. Kurang tepatnya perhitungan penentuan nilai komponen, akan men-

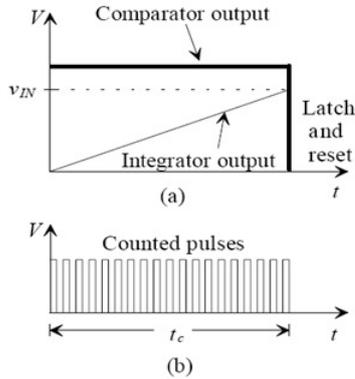
gakibatkan eror yang cukup signifikan pada outputnya, sehingga diperlukan prosentase eror yang seminimal mungkin pada desainnya. Blok diagram rangkaian ADC diperlihatkan pada gambar dibawah. [2,10]



Gambar 1: Blok diagram ADC

Set awal adalah rangkaian akan diberikan tegangan sampling sebesar 1 us yang berguna untuk mereset counter, latch dan mulai mengaktifkan switch integrator dan S/H. Pada saat yang bersamaan, S/H akan mencuplik sinyal input sebesar 1 V. Saat itu pula, tegangan integrator mulai naik hingga level  $V_{ref}$ . Apabila  $V_{in}$  nilainya sama dengan  $V_{integrator}$ , maka komparator akan menutup atau berlogika 0.

Saat itu pula clock akan dicacah sebanyak  $2N$  kali dan hasilnya di latch. Output D0 – D3 akan menampilkan nilai biner dari level input yang dicuplik oleh S/H [1].



Gambar 2: Output komparator (a). Posisi latch  $V_{in}$  (b). Clock sebesar  $2N$

### Transconductance CMOS Op Amp (OTA)

Fungsi op-amp pada ADC SS digunakan proses sample and hold (SHA). Syarat dan spesifikasi op-amp pada ADC[6,7] :

- Gain Open Loop (AoL)  $\geq 2^{N+2}V/V$ .
- Gain Open Loop (dB)  $\geq 20 \cdot \text{Log } 2^{N+2} V/V$ .
- Gain Close Loop (AcL) = 2 V/V
- Frekuensi Unity ( $f_u$ )  $\geq 0,22(N + 1)$  fclock.

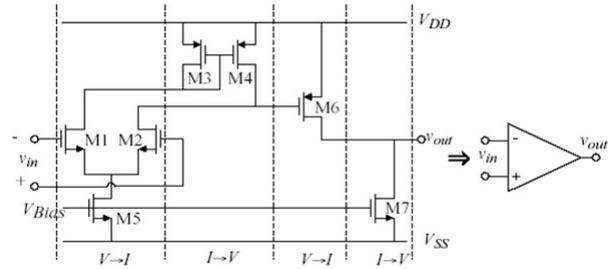
Gambar 3 adalah rangkaian op-amp OTA. Penguat differensial (M1-4) menyediakan dua masukan, membalik dan tak membalik yang menyebabkan noise dan offset. Penguatan tinggi (high gain M6-7) hampir mirip dengan gerbang not bila op-amp menggerakkan beban rendah maka diikuti oleh stage penyangga (buffer), arus bersama (M5) disediakan oleh rangkaian cermin arus.

Op-amp ideal mempunyai karakteristik yaitu penguatan mode terbuka tak terhingga (AoL =  $\infty$ ), penguatan mode tertutup (Buffer = AcL) = 1, impedansi masukan tak terhingga (RIN =  $\infty \Omega$ ), impedansi keluaran hampir sama 0 (Ro  $\approx 0 \Omega$ ), Lebar pita penguatan (GBW =  $\infty$ ), besar  $V_{out} = A_v(V_+ - V_-)$ , dengan  $A_v$  digunakan disain pada penguatan mode terbuka (AoL). Semua op-amp mempunyai batasan

pada jangkauan tegangan operasi kerjanya, batasan CMIR (common mode input range) adalah batasan skala jangkauan tiap masukan op-amp, diluar batasan tersebut menyebabkan keluaran distorsi atau terpotong.[3,4,8]

$$CMR^- = V_{SS} + \sqrt{\frac{I_{D5}}{\beta_1}} + V_{in(max)} + V_{DS5(sat)} \geq 90\% \cdot V_{OS}$$

$$CMR^+ = V_{DD} - \sqrt{\frac{I_{D5}}{\beta_3}} - |V_{TO3}|_{(max)} + V_{in(min)} \leq 90\% \cdot V_{OS}$$



Gambar 3: Desain Rangkaian OpAmp

Fungsi cermin arus sebagai sumber arus bias bagi komponen MOS, yaitu sebagai pengendali atau penggerak arus sumber terhadap arus kendali, misal  $I_{ref} = I_{out}$ . Pada gambar 3 Op-amp 2 stage transconductance dapat dianalisa sebagai berikut:

$$I_{D1} = I_{D2} = I_{SS}/2$$

$$\text{slew rate (SR)} = \frac{I_{D5}}{C_c} I_{SS} = I_{D5}, I_{D3} = I_{D4}$$

Penguatan Stage 1

$$AV1 = \frac{gm_{1,2}}{gds2 + gds4} = \frac{2gm_{1,2}}{I_{SS}(\lambda_2 + \lambda_4)}$$

Penguatan Stage 2

$$AV2 = \frac{gm6}{gds6 + gds7} = \frac{gm6}{I_{D6}(\lambda_6 + \lambda_7)}$$

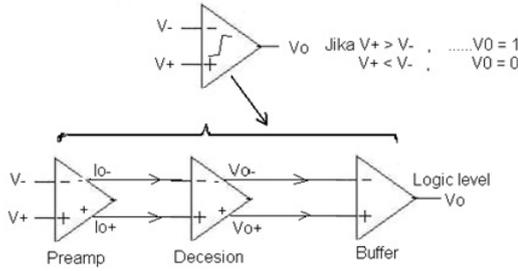
Dimana gds = parameter transconductance drain to source

$\lambda$  = parameter channel length modulation

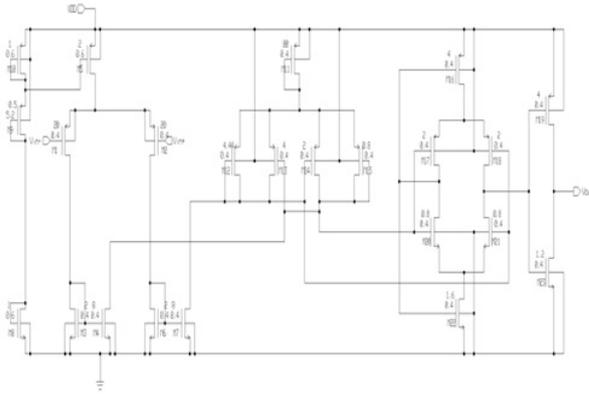
### Komparator

Fungsi komparator sebagai pembandingan sinyal masukan dengan tegangan acuan (ADC), keluaran komparator merupakan logika biner 0 atau 1.[6] Pada gambar 4, diberikan diagram blok komparator presisi. Unit pre-amp digunakan penguat differensial. Unit decision adalah jantung komparator yang berfungsi untuk mengubah arus ke tegangan, dan berfungsi sebagai umpan balik positif dengan menambahkan

komponen bersama (common component), digunakan untuk menggeser level histerisis dan juga menekan noise. Unit penyangga (buffer) berfungsi sebagai perantara level tegangan ke logika biner (0,1).



Gambar 4: Blok diagram komparator presisi



Gambar 5: Rangkaian Komparator Presisi

Unit decision berfungsi mengubah level arus ke level tegangan, maka besar tegangan yang keluar tergantung ukuran M7-M10, dan M11 berfungsi sebagai penggeser histeresis atau untuk menghilangkan noise. Jika  $I_{o+}$  lebih besar dari  $I_{o-}$  maka M7, M9 kondisi ON, dan M8, M10 kondisi OFF, jika  $\beta_7 = \beta_{10} = \beta_A$  dan  $\beta_8 = \beta_9 = \beta_B$  dan  $V_{o-} = 0$  maka :

$$V_{o+} = \sqrt{\frac{2I_o}{\beta_A}} + V_{THN}$$

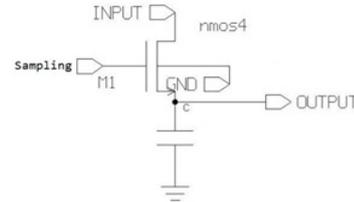
$$I_{o-} = \frac{\beta_B}{2} + (V_{o+} - V_{THN})^2 = \frac{\beta_B}{\beta_A} I_{o+}$$

Tegangan switching ( $V_{SPH}$ ) :

$$V_{SPH} = V_{o+} - V_{o-} = \frac{I_{SS}}{gm} \cdot \frac{\frac{\beta_B}{\beta_A} - 1}{\frac{\beta_B}{\beta_A} + 1} \text{ untuk } \beta_B \geq \beta_A$$

## Rangkaian Sample and Hold

Unit sample and hold merupakan rangkaian saklar CMOS dengan kapasitor, ini berfungsi untuk menstabilkan tegangan saat disampling di mana saklar tidak aktif dan tegangan tidak menjadi 0 tetapi dipertahankan oleh kapasitor sehingga besarnya tetap saat disampling [9].



Gambar 6: Rangkaian S/H

Besar kapasitor yang dibutuhkan adalah sama besar kapasitor yang digunakan rangkaian saklar kapasitor LSB yaitu sebesar 1 pF. Untuk frekuensi 1 MHz, maka besar resistensinya adalah

$$X_C = \frac{1}{2\pi f C} \approx 12,9k\Omega$$

besar impedansi saklar NMOS saat aktif ( $R_{on}$ ) harus jauh lebih kecil dari besar impedansi kapasitor  $X_c$  maka nilai  $R_{on} \ll X_c$ , yaitu :

$$R_{on} = \frac{1}{(K_n W/L)(V_g - V_{in} - V_{thn})} = 44,60\Omega$$

## Rangkaian Integrator

Dari gambar 2a dapat dilihat, bahwa tegangan integrator ( $V_c$ ) akan naik secara linier sesuai dengan persamaan : [1,5]

$$V_c = 1/RC \int_0^t V_{ref}.dt$$

$$V_c = (V_{ref}.t)/RC$$

Ketika nilai  $V_c$  sama dengan  $V_{in}$ , maka komparator akan menutup dan data akan di latch. Tepat saat itu, clock akan mencacah sesuai dengan persamaan :

$$t_c = V_{in}/LSBT_{CLK}$$

Karena  $V_{LSB}$  sama dengan  $V_{ref}/2^N$  maka persamaan diatas dapat ditulis kembali :

$$t_c = V_{in}/V_{REF}2^N \cdot T_{CLK}$$

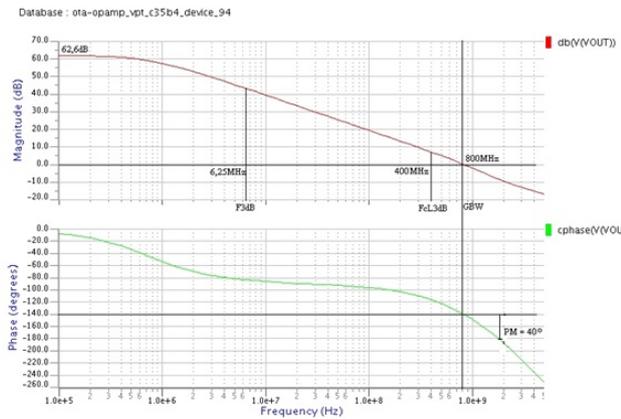
Dengan melihat persamaan 1, maka nilai  $V_c$  dapat ditentukan lagi sebagai berikut :

$$V_c = \frac{V_{in}}{RC \cdot f_{CLK}} 2^N$$

N adalah nilai bit yang dipakai ADC untuk menunjukkan besarnya resolusi. Semakin besar nilai N, maka resolusi ADC akan semakin bagus.

## Simulasi dan pembahasan

Arsitektur ADC terdiri dari unit Integrator, komparator dan counter. Pada unit analog, rangkaian terdiri dari integrator, sample and hold dan komparator. Komponen utama integrator adalah OpAmp. Hasil simulasi OpAmp diberikan seperti pada gambar berikut :



Gambar 7: Hasil simulasi OpAmp

$$AV1 = \frac{gm_{1,2}}{gds2 + gds4} = \frac{gm_{1,2}}{ID2(\lambda2 + \lambda4)}$$

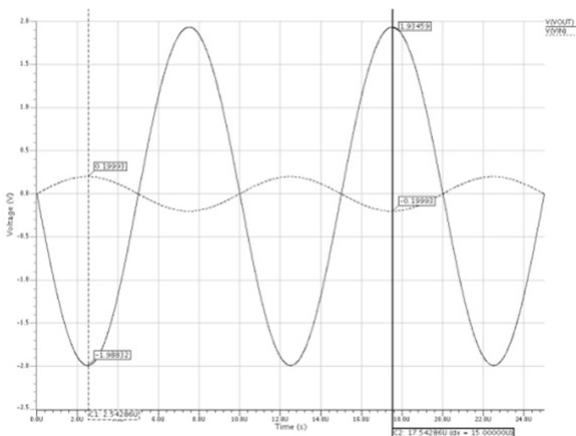
$$AV1 = 100,35V/V$$

$$AV2 = \frac{gm6}{gds6 + gds7} = \frac{gm6}{ID6(\lambda6 + \lambda7)}$$

$$AV2 = 20.89V/V$$

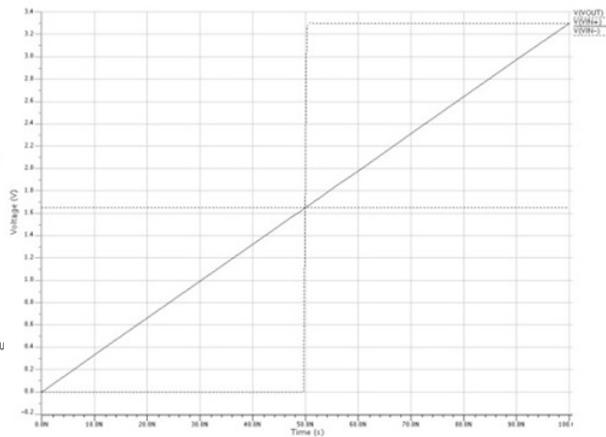
$$AV = 2096,31V/V \approx 66,42dB.$$

Dengan memberikan masukan sinus 100KHz dan amplitudo 20mV didapatkan bentuk keluaran yang mendekati perhitungan dengan  $V_{out} = 2V$ .



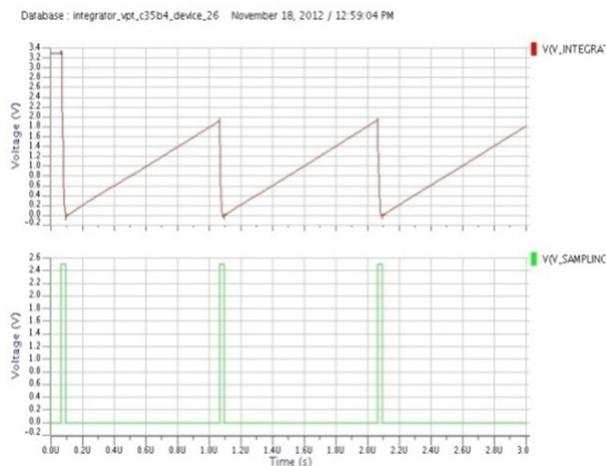
Gambar 8: Transient OpAmp dengan input sinus

Pada unit komparator presisi (ADC), simulasi ditekankan pada offset komparator dan level histeresis untuk menekan noise. Hasil simulasi pengujian tersebut adalah.



Gambar 9: Hasil simulasi tegangan offset

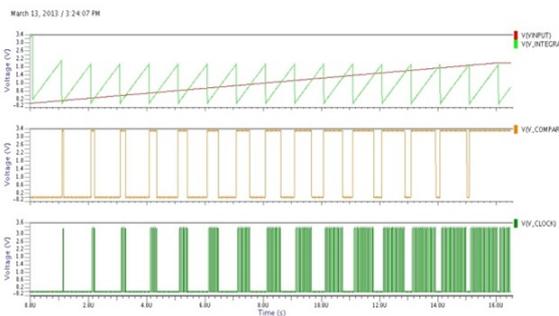
Dengan memberikan masukan  $V_{in}$  dengan tegangan DC 1,65V dan masukan  $V_{in+}$  variabel DC dari 0V sampai dengan 3,3V, didapatkan perubahan keluaran ( $v_{out}$ ) dengan titik setpoint pada 1,65V. Saat  $v_{in}$  0V s/d 1.65V maka  $V_{out} = 0V$  (0) kemudian saat  $v_{in}$  bergerak dari 1,65V s/d 3,3V maka  $V_{out} = 3,3V$ . Resolusi ADC 4 bit dengan frekuensi clock 1 MHz, maka pada rangkaian integrator dihasilkan nilai  $RC = 16 \mu$ . Untuk nilai  $R = 100K$ , nilai  $C = 10p$ . Hasil simulasi rangkaian integrator diperlihatkan pada gambar 10 dibawah :



Gambar 10: Hasil simulasi integrator dan S/H

Tegangan puncak integrator sebesar 1,9 volt. Terdapat selisih antara tegangan integrator dengan tegangan referensi. Selisih tegangan

gan  $2,0 - 1,9 = 0,1$  volt. Selisih ini disebabkan pengaruh Ron pada switch transistor. Karena power supply rangkaian integrator -3,3 volt hingga +3,3 volt, maka selisih tegangan 0,1 volt, tidak mempengaruhi rangkaian. Pulsa integrator akan turun tepat apabila bersinggungan dengan pulsa S/H. Periode integrator yang dihasilkan 1  $\mu$ s. Hal ini sesuai dengan masukan clock input, yaitu 1 MHz. Untuk aplikasi ADC, output integrator akan dijadikan masukan komparator dan akan dibandingkan dengan output S/H.



Gambar 11: Hasil simulasi komparator

Berdasarkan pada gambar 2, tepat ketika output integrator bersinggungan dengan tegangan  $V_{in}$ , maka output komparator akan low, dan data akan di latch. Hasil simulasi menunjukkan, ketika tegangan input bersinggungan dengan output integrator, maka komparator akan menutup, dan akan terjadi cacahan pulsa clock senilai perioda  $t_c$ .

## Kesimpulan

Unit analog ADC-SS yang didesain hasilnya tetap optimal pada kecepatan clock 1 MHz. Untuk resolusi 4 bit, dihasilkan  $V_{LSB} = 0,125V$ . Dari hasil simulasi, dapat dilihat bahwa frekuensi rangkaian integrator nilainya konstan, sehingga kuantisasi ADC bergantung dari hasil perpotongan level input terhadap amplitudo integrator. Dari beberapa kali hasil simulasi, dibutuhkan perhitungan yang sangat tepat untuk menghasilkan desain ADC-SS. Penentuan nilai R dan C pada rangkaian Integrator harus presisi, karena ketidak tepatan penentuan perbandingan nilai tersebut akan mengakibatkan sinyal integrator terpotong.

## Daftar Pustaka

- [1] Tetsuya Iizuka and Kunihiro Asada, Digital ramp waveform generator for two step single slope adc. IEICE Electronic, 8(1):20–25,2011.
- [2] Antonio Oblea, Design and Operation of Integrating ADCs, Advanced Analog IC Design, ECE614, 2008.
- [3] B.-S. Song, La Jolla, and Gilman, Design CMOS Analog-to-Digital Converter , CE264C, International WorkShop in University of California, San Diego, 2007.
- [4] Boaz Shem-Tov, Mücahit Kozak, and Eby G. Friedman, A High-Speed CMOS OP-AMP Design Technique Using Negative Miller Capacitance.” 0-7803-8715-5/04, IEEE, 2004.
- [5] Cheongyuen B.T , Digitally Calibrated Analog-to-Digital Converters in Deep Sub-micron CMOS, No.67 UCB/EECS,2008.
- [6] Eri Prasetyo, Hamzah Afandi, Dominique Ginhac and M. Paindavoine, A 8-bits Pipeline ADC Design For High Speed Camera Application, IES 2007, ITS, 2007.
- [7] J. Baker and D. E. Boyce, CMOS Circuit Design, Layout and Simulation, IEEE Press on Microelectronic Systems, 1998.
- [8] Rajkumar S, Anu Gupta, Design of a Fully Differential Two-Stage CMOS Op-Amp for High Gain, High Bandwidth Applications, proceedings of the 11th IEEE International Conference on Electronics, circuit and systems, 2007.
- [9] Joko Purnomo, Desain Peubah Analog ke Digital (ADC) Jenis Asynchronous Berbasis Teknologi 0,35u CMOS Proses. Master’s thesis, Universitas Gunadarma, Depok, Indonesia, 2011.
- [10] Sakkarapani Balagopal and Suat U. Ay, An onchip ramp generator for single-slope look ahead ramp (sslar) adc. MWSCAS '09. 52nd IEEE International Midwest Symposium, pages 373–376, 2009.