

Simulasi dan Verifikasi Desain IC Seven Segment Pada Model Behavioral

Robby Kurniawan Harahap

Pusat Studi Mikroelektronika dan Pengolahan Citra
Universitas Gunadarma
Email: robbly_kurniawan@staff.gunadarma.ac.id

Abstract

Penulisan ini membahas desain Integrated Circuit (IC) untuk membangun seven segment. Seven segment digunakan untuk menampilkan angka integer desimal dari masukkan format Binary Code Decimal (BCD). IC seven segment ini dibangun dengan metode desain digital ASIC pada tahap model behavioral sebagai abstraksi sistem digital. Proses desain terdiri dari desain rancangan berbasis High Description Language (HDL), simulasi HDL dan verifikasi HDL. Seven segment ini berfokus pada 10 angka desimal "0" sampai dengan "9". Hasil simulasi dapat bekerja dan menghasilkan pola yang sesuai dengan tabel kebenaran. Verifikasi digunakan untuk menguji kode program dan didapatkan 95,45 % code coverage dari keseluruhan kode dapat diuji kebenarannya. Selain itu verifikasi diuji dengan memasukkan nilai sinyal "0" sampai dengan "F". Hasilnya didapatkan 10 angka desimal valid dan "A" - "F" tidak valid. Hasil desain pada tahap abstraksi sistem digital dapat digunakan pada tahap lanjutan dari bagian metode ASIC yaitu sintesis.

Kata Kunci : HDL, Integrated Circuit, Simulasi, Seven segment, Verifikasi

Pendahuluan

Devais seven segment merupakan sebuah devais digital elektronik yang berfungsi menampilkan nilai desimal integer dalam bentuk LED. Penggunaan seven segmen sebagai penampil banyak digunakan seperti pada jam digital, lampu lalu lintas, alat pengukuran, dan berbagai macam peralatan elektronik yang mampu menampilkan angka. Devais penampil berbasis LED terdiri dari berbagai macam jenis yaitu seven segment, nine segment, fourtteen segment, dan sixteen segment, namun yang umum dan dasar banyak digunakan yaitu seven segment. Salah satu devais seven segment yang umum yaitu 74LS47 dengan daya yang relatif besar. Seiring perkembangan teknologi peralatan elektronik yang ada saat ini ditinjau dari ukuran semakin kecil, hal tersebut dipicu oleh teknologi Integrated Circuit (IC) CMOS yang mampu menghasilkan ukuran sirkuit elektronik yang kecil dan konsumsi daya yang rendah, maka IC seven segment dapat dikembangkan dengan menggunakan teknologi CMOS. Penelitian-penelitian terkait dengan desain IC seven segment beberapa di-

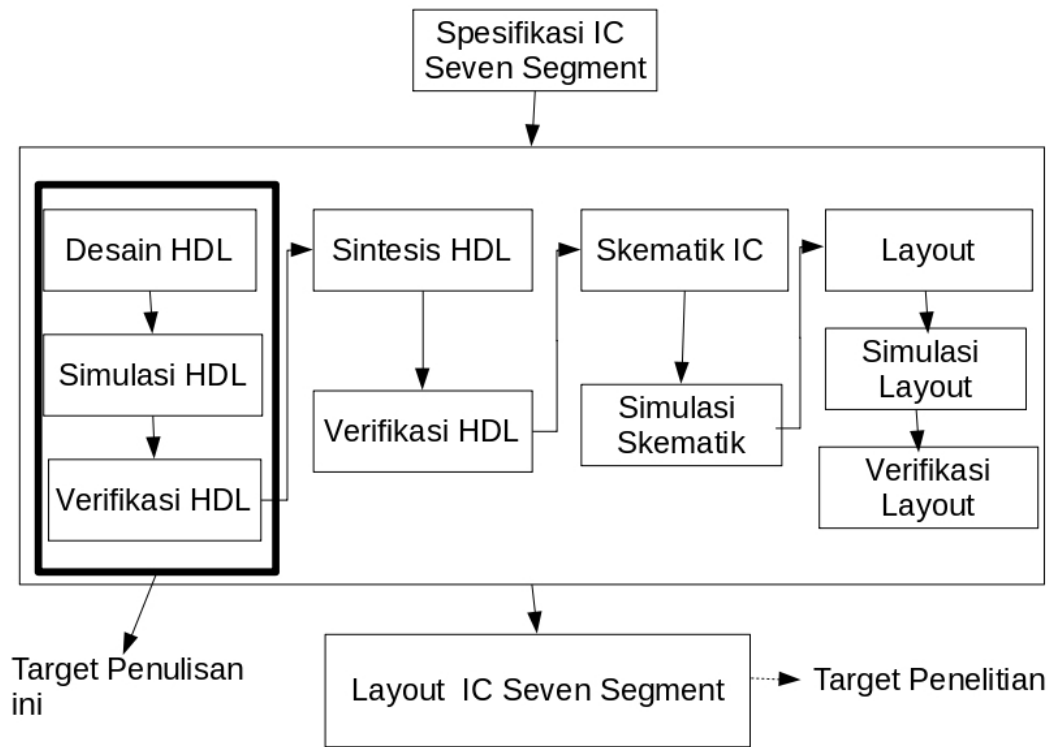
antaranya dilakukan oleh Hong, pada penelitiannya mendesain IC seven segment dengan teknologi CMOS menggunakan perangkat lunak desain EDA dengan membahas proses pembuatan layout IC sebagai tahap akhir [6]. Kemudian Radha, pada penelitiannya mendesain IC seven segment dengan menggunakan teknik Modified Gate Diffusion Input (MGDI) yaitu memodifikasi cell transistor untuk mendapatkan ukuran kecil dan daya rendah [4][7]. Shen merancang IC seven segment untuk membuat aplikasi stopwatch [5]. Penulisan ini merupakan salah satu bagian dari penelitian secara garis besar bertujuan untuk mengembangkan IC digital seven segment ukuran sirkuit elektronik yang kecil dan konsumsi daya yang rendah. Perancangan dilakukan dengan menggunakan metod desain digital application specific Intergrated circuit (ASIC) [1]. Proses perancangan IC menggunakan metode ASIC merupakan proses yang kompleks dan berbeda dengan desain IC analog, dimulai dari definisi spesifikasi desain sampai menjadi bentuk fisik berupa layout [2, 3]. Untuk itu pembahasan penulisan ini dibatasi hanya sampai pada desain HDL yang telah terverifikasi sehingga,

objektif dari penulisan ini yaitu menghasilkan desain seven segment untuk 10 angka desimal atau 10 pola angka dari angka “0” sampai dengan “9” pada model behavioral yang akan menjadi abstraksi sistem digital. Model behavioral diuji dengan simulasi dan verifikasi menggunakan model code coverage.

Metode Penelitian

Pada penelitian ini metode desain yang digunakan untuk merancang IC dekoder seven segment yaitu metode desain digital ASIC [1]. Metode digital ASIC merupakan rangkaian tahapan untuk merancang IC khusus digital

yang diawali dari tahap model behavioral dengan tahap desain fisik IC digital berupa layout. Rangkaian tahapan desain yang kompleks dan memerlukan waktu yang lama, maka penulisan ini dibatasi hanya pada desain level abstraksi sistem digital yaitu desain HDL. Penulisan ini dimulai dari menentukan spesifikasi sebagai analisa kebutuhan desain IC. Kemudian dilanjutkan dengan melakukan desain HDL, Simulasi HDL dan verifikasi HDL Target dari penulisan ini adalah desain HDL seven segment. Target tersebut akan dikomparasi dengan analisa dari teori dasar seven segment sebagai hasil pembahasan. Tahapan metode digital ASIC dapat dilihat pada gambar 1.

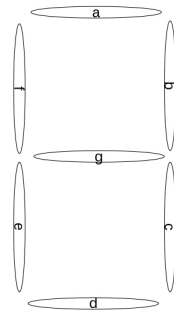


Gambar 1: Metode Desain Digital ASIC [1].

Langkah 1

Teori dasar seven segment yaitu merupakan sebuah sirkuit elektronik digital yang masukkannya dari kombinasi-kombinasi angka integer dalam format BCD menjadi angka desimal sebagai representasi dari binary masukan. Seven segment terdiri dari 4 masukan dalam format binary dan 7 keluaran atau 7 segment dalam format binary. Berdasarkan klasifikasinya seven segment dibagi menjadi dua je-

nis yaitu: common cathode dan common anode [4]. Seven segment dikatakan common cathode jika nilai logik 1 sebagai kondisi ON dan nilai logik 0 sebagai Kondisi OFF, sedangkan Common Anode sebaliknya dari kondisi common Cathode. Tabel 1 menunjukkan operasi dari seven segment sebagai common anode dan gambar 2 menunjukkan struktur tampilan LED Seven segment.



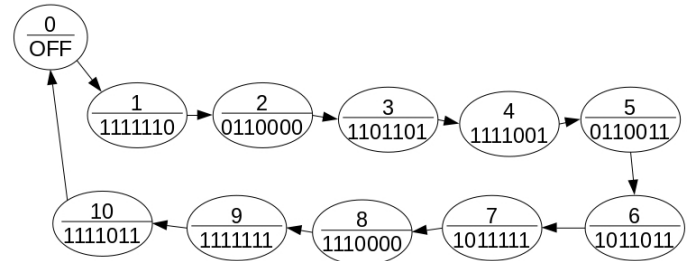
Gambar 2: Struktur tampilan Seven Segment [6, 4].

Tabel 1: Operasi logik seven segement [4].

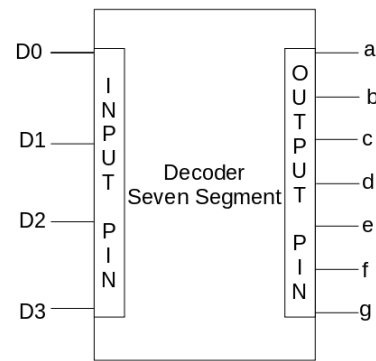
Desimal	Input				Output						
	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
A	1	0	1	0	1	1	1	0	1	1	1
b	1	0	1	1	0	0	1	1	1	1	1
C	1	1	0	0	1	0	0	1	1	1	0
d	1	1	0	1	0	1	1	1	1	0	1
E	1	1	1	0	1	0	0	1	1	1	1
F	1	1	1	1	1	0	0	0	1	1	1

Secara sederhana proses seven segment dapat dirangkum ke dalam Finite state machine (FSM), dimulai dari state 0 dalam kondisi off kemudian dilanjutkan ke state 1 dengan keluaran 1111110 atau bernilai desimal 0. Kemudian perubahan ke state-state berikutnya sampai kembali ke state awal seperti pada gambar 3. Dengan masukkan 4 nilai binary dan keluaran 7 nilai binary, maka gambaran IC seperti pada gambar 4. 4 nilai masukkan disimbolkan dengan D0, D1, D3, Dan D4, sedangkan keluaran disimbolkan dengan "a" sampai dengan "g". Keluaran akan merepresentasikan tampilan

10 angka desimal yang terdiri dari 0 sampai dengan 9. Penelitian ini menggunakan dekoder 4-16 sebagai dekoder untuk menampilkan 10 angka decimal dari 0 sampai dengan 9 dalam bentuk tampilan seven segment.



Gambar 3: FSM Seven Segment.



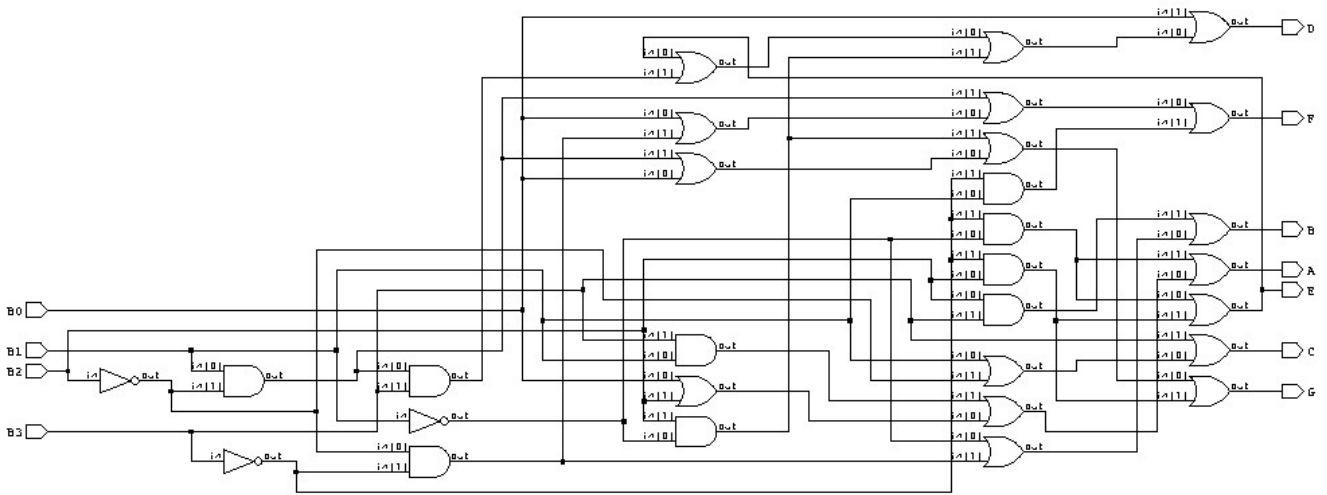
Gambar 4: Ilustrasi Pin IC Seven segment.

Langkah 2

Desain HDL adalah proses membuat model behavioral dalam bentuk sebuah program dalam format VHDL. Pemrograman VHDL berdasarkan FSM pada gambar 4, behavioral model diagram logik seven segment seperti pada gambar 5.

Langkah 3

Kode program VHDL selanjutnya akan dilakukan simulasi untuk menguji kesesuaian antara kode program dengan teori seven segment. Simulasi dilakukan dengan memberi masukkan sesuai dengan tabel kebenaran dari tabel 1.



Gambar 5: Diagram Logik seven segment desimal 0-9 .

Langkah 4

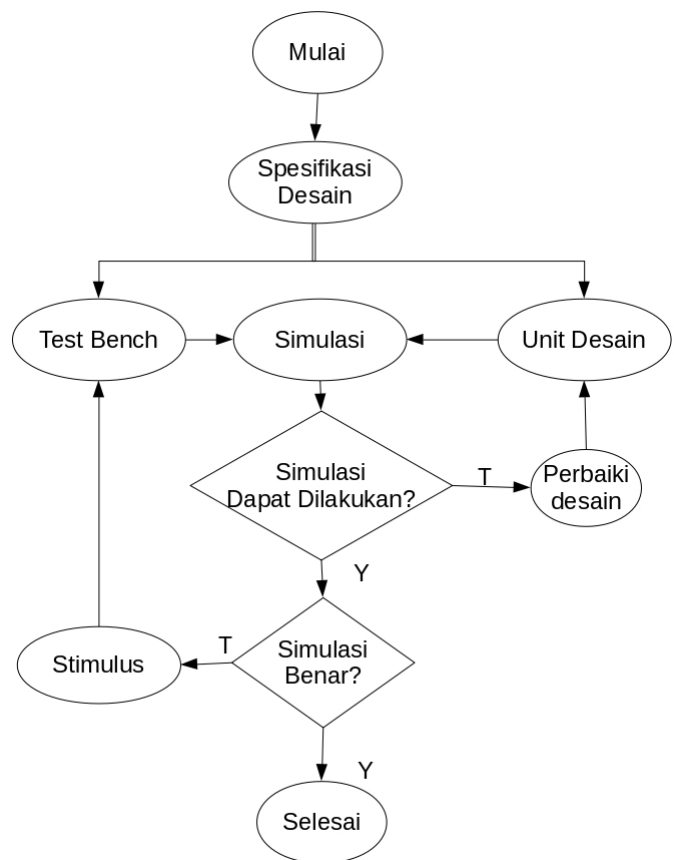
Kemudian kode program VHDL dilakukan verifikasi. Verifikasi terdiri dari dua model yaitu verifikasi front end dan back end. Pada tahap ini dilakukan hanya verifikasi front end untuk memastikan fungsi logik pada Kode program VHDL seven segment bekerja dengan benar. Verifikasi HDL menggunakan model Test Bench yang akan memverifikasi unit desain dalam hal ini simulasi Desain HDL. Jika simulasi verifikasi tidak benar maka diperlukan perubahan pada stimulus. Stimulus merupakan fungsi yang berisi sinyal masukkan. Hasil verifikasi untuk menyatakan desain sesuai dengan yang diharapkan dengan menggunakan analisa code coverage sebagai pengukuran dari verifikasi pada perubahan nilai sinyal. Diagram alir proses verifikasi dapat dilihat pada gambar 6.

Pembahasan

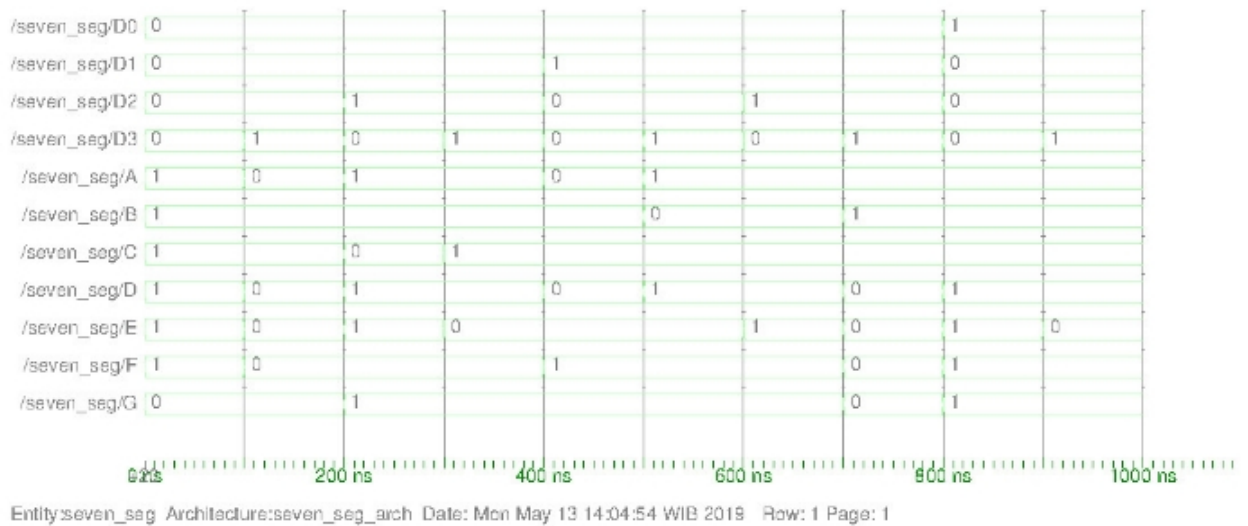
IC decoder seven segment dirancang dan diimplementasikan menggunakan perangkat lunak desain Mentor Graphics. Desain HDL berupa kode VHDL dilakukan menggunakan perangkat lunak Mentor Graphics HDL Designer.

Simulasi dan verifikasi kode program dilakukan dengan menggunakan Mentor Graphics ModelSim SE. Hasil simulasi dapat dilihat pada gambar 7. Hasil simulasi sesuai dengan teori dekoder seven segment pada table 1, dimana seperti masukkan D0, D1, D2 dan D3 masing-masing bernilai binary 0 menghasilkan Segment “a” sampai “f” bernilai 1 dan hanya

segment “g” bernilai 0 yang merepresentasikan angka decimal 0 mengacu pada gambar 2. Begitu pula data masukkan yang lainnya seperti D0 dan D1 dengan binary 0, D2 dan D3 dengan binary 1 menghasilkan segment a sampai d bernilai 1 dan segment “e” dan “f” bernilai 0 yang merepresentasikan angka decimal 3.



Gambar 6: Diagram Alir proses verifikasi HDL



Gambar 7: Hasil simulasi desain HDL.

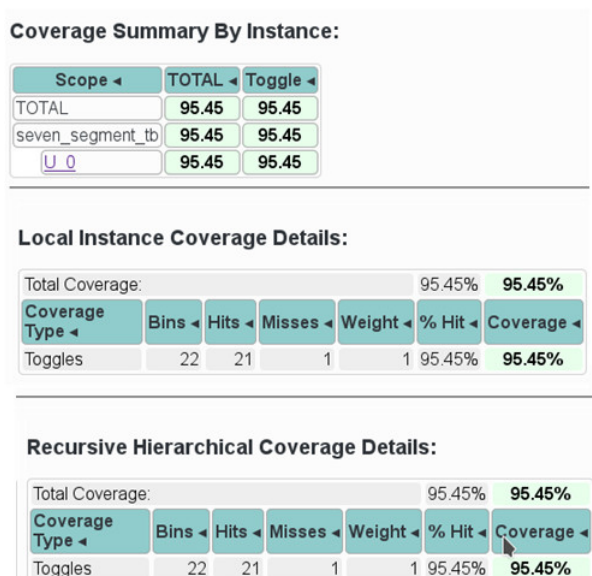
Tabel 2: Hasil Simulasi Verifikasi HDL.

Desimal	Input				Output							Verifikasi Tampilan	Validasi
	A	B	C	D	a	b	c	d	e	f	g		
0	0	0	0	0	1	1	1	1	1	1	0	0	Valid
1	0	0	0	1	0	1	1	0	0	0	0	1	Valid
2	0	0	1	0	1	1	0	1	1	0	1	2	Valid
3	0	0	1	1	1	1	1	1	0	0	1	3	Valid
4	0	1	0	0	0	1	1	0	0	1	1	4	Valid
5	0	1	0	1	1	0	1	1	0	1	1	5	Valid
6	0	1	1	0	1	0	1	1	1	1	1	6	Valid
7	0	1	1	1	1	1	1	0	0	0	0	7	Valid
8	1	0	0	0	1	1	1	1	1	1	1	8	Valid
9	1	0	0	1	1	1	1	1	0	1	1	9	Valid
A	1	0	1	0	1	1	1	0	1	1	1	10	Tidak Valid
b	1	0	1	1	0	0	1	1	1	1	1	11	Tidak Valid
C	1	1	0	0	1	0	0	1	1	1	0	12	Tidak Valid
d	1	1	0	1	0	1	1	1	1	0	1	13	Tidak Valid
E	1	1	1	0	1	0	0	1	1	1	1	14	Tidak Valid
F	1	1	1	1	1	0	0	0	1	1	1	15	Tidak Valid

Berdasarkan verifikasi HDL didapatkan hasil yang dapat dilihat pada tabel 2. Hasil verifikasi untuk menunjukkan masukkan decimal “0”-“9” menghasilkan data yang benar sesuai dengan yang diharapkan. Kondisi sesuai

dengan harapan atau teori divalidasi dengan status valid. Untuk desimal “10”-“15” atau “A”-“F” didapatkan kondisi yang tidak sesuai teori. Ketidaksesuaian tersebut dikondisikan tidak valid dan menunjukkan bahwa rangkaian

seven segment befokus tujuan penelitian pada 10 angka desimal “0”-“9”. Hasil dari verifikasi berdasarkan code coverage pada gambar 8 didapatkan 95,45% dari keseluruhan kode program telah diuji dan terdapat 4,55 % bagian dari kode program yang tidak dapat diverifikasi.



Gambar 8: Hasil Verifikasi Code Coverage Desain HDL.

Penutup

Desain HDL untuk merancang IC digital seven segment telah dibahas. Rangkaian IC digital seven segment dalam bentuk desain HDL menjadi model abstraksi sistem digital. Berdasarkan simulasi HDL untuk menampilkan desimal “0”-“9” dengan memasukkan nilai-nilai binary didapatkan hasil yang sesuai dengan teori seven segment. Verifikasi HDL dengan menguji desain HDL dengan memasukkan yang binary diharapkan dan tidak diharapkan, menghasilkan desimal “0”-“9” pada kondisi valid dan “10” - “15” atau “A”-“F” pada kondisi tidak valid. Hasil verifikasi tersebut memperlihatkan bahwa rangkaian seven segment berfokus pada tujuan penelitian yaitu desimal “0”-“9”. Berdasarkan code coverage didapatkan 95,45% bagian kode program yang telah diverifikasi. Meskipun verifikasi berdasarkan code coverage tidak menghasilkan 100% namun hasil simulasi menghasilkan sinyal yang sesuai dengan teori. Penulisan ini masih pada tahap desain HDL, maka langkah pengembangan dan pekerjaan berikutnya adalah melakukan sintesis menjadi netlist yang tetanamkan teknologi

IC CMOS seperti teknologi CMOS 0,35 μm yang kecil dan rendah konsumsi daya.

Daftar Pustaka

- [1] S.H. Teen, L.L. Lim dan J.H. Lim, “IC Layout Design of Decoder Using Electric VLSI Design System”, International Journal of Electronics and Electrical Engineering, 2015.
- [2] N. Radha dan M. Maheswari, “August. An Efficient Implementation of BCD to Seven Segment Decoder using MGDI”, In 2018 2nd International Conference on I-SMAC (IoT in Social, Mobile, Analytics and Cloud)(I-SMAC) I-SMAC (IoT in Social, Mobile, Analytics and Cloud)(I-SMAC), 2018 2nd International Conference on (pp. 475-479). IEEE, 2018.
- [3] Y.H. Shen, “September. A Design of Digital Stopwatch Circuit with Chip Implementation. In Journal of Physics: Conference Series (Vol. 1087, No. 4, p. 042014). IOP Publishing, 2018.
- [4] M.K. Bhatti, A.A. Minhas, M. Najam-ul-Islam, M.A. Z.U. Bhatti, Haque dan S.A. Khan, “August. Curriculum design using mentor graphics higher education program (hep) for asic designing from synthesizable hdl to gdsii”, In Proceedings of IEEE International Conference on Teaching, Assessment, and Learning for Engineering (TALe) 2012 (pp. W1D-1). IEEE, 2012.
- [5] R.K. Harahap, E. Prasetyo, B. Heruseto dan H. Afandi, “Desember. Design Analog Layout Using Schematic-Driven EDA Tools”, In 2015 International Conference on Electrical, Electronics and Mechatronics. Atlantis Press, 2015.
- [6] R.K. Harahap dan E. Prasetyo, “Konsep dan Metodologi Desain Analog Chip Berbasis Teknologi CMOS Disertai Penggunaan Tool”, Teknosain. Yogyakarta, 2017.
- [7] R.K. Harahap, E. Prasetyo, B. Heruseto dan H. Afandi, “Layout design and simulation for analog neural network circuit using cmos technology 0,35 μm ”, ARPN Journal of Engineering and Applied Sciences vol. 9, October 2014.